

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Problem Image Mailbox.**

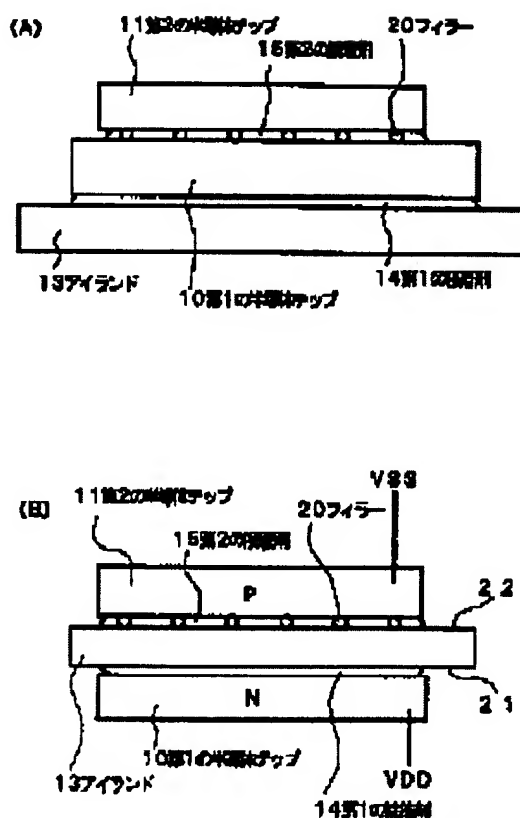
SEMICONDUCTOR DEVICE

Patent number: JP10256470
Publication date: 1998-09-25
Inventor: TSUBONoya MAKOTO
Applicant: SANYO ELECTRIC CO LTD
Classification:
 - International: H01L25/065; H01L25/07; H01L25/18
 - european:
Application number: JP19970055176 19970310
Priority number(s):

Abstract of JP10256470

PROBLEM TO BE SOLVED: To prevent a plurality of stacked semiconductor chips from coming into contact with each other by mixing a filler having a fixed particle size in an insulating adhesive used for fixing the stacked chips to each other.

SOLUTION: A semiconductor device is constituted by fixing a first semiconductor chip 10 on an island 13 and a second semiconductor chip 11 on the first chip 10. Then the bonding pads of the semiconductor chips 10 and 11 are wire-bonded to lead terminals and the main part of the semiconductor device including the semiconductor chips 10 and 11 is molded with a resin. At the time of fixing the second semiconductor chip 11 to the first semiconductor chip 10, an insulating filler 20 having a particle size of 20-40 μ m is mixed in the second adhesive 15 used for fixing the chips 10 and 11 to each other.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256470

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 25/065		H 0 1 L 25/08	B
25/07			
25/18			

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号	特願平9-55176	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成9年(1997) 3月10日	(72) 発明者	坪野谷 誠 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		(74) 代理人	弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 複数の半導体チップを積層固着する絶縁性の接着剤に粒径が一定なフィラーを混入することによりチップ間の接触事故を防止する。

【解決手段】 アイランド12上に第1の半導体チップ10を固着し、第1の半導体チップの上に第2の半導体チップ11を固着する。各半導体チップ10、11のボンディングパッド12とリード端子17とをワイヤボンディングし、各半導体チップ10、11を含む主要部を樹脂17でモールドする。第2の半導体チップ11を固着する第2の接着剤15に粒径が20～40μmの絶縁性のフィラー20を混入する。

【特許請求の範囲】

【請求項1】 アイランドの上に第1の半導体チップを固着し、

前記第1の半導体チップの上に第2の半導体チップを固着し、

前記第1と第2の半導体チップのボンディングパッドと外部接続リードとを接続する手段と、

前記第1と第2の半導体チップの周囲を封止する樹脂とを具備する半導体装置において、

前記第1の半導体チップの表面に前記第2の半導体チップを固着する接着剤に粒径が均一な絶縁性のフィラーを混入したことを特徴とする半導体装置。

【請求項2】 第1主面と第2主面とを具備するアイランドと、

前記第1主面に固着された第1の半導体チップと、

前記第2主面に固着された第2の半導体チップと前記第1と第2の半導体チップのボンディングパッド接続端子と外部接続リードとを接続する手段と、

前記第1と第2の半導体チップの周囲を封止する樹脂とを具備する半導体装置において、

前記第1主面に前記第1の半導体チップを固着する接着剤と、前記第2主面に前記第2の半導体チップを固着する接着剤との少なくともどちらか一方に、粒径が均一な絶縁性のフィラーを混入したことを特徴とする半導体装置。

【請求項3】 前記第1の半導体チップがP型基板を具備し前記第2の半導体チップがN型基板を具備することを特徴とする請求項2記載の半導体装置。

【請求項4】 前記P型基板と前記N型基板に各々異なる基板電位が与えられていることを特徴とする請求項3記載の半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、複数の半導体チップを重ね合わせることで実装密度を向上した半導体装置に関する。

【0002】

【従来の技術】 半導体装置の封止技術として最も普及しているのが、半導体チップの周囲を熱硬化性のエポキシ樹脂で封止するトランスファーモールド技術である。半導体チップの支持素材としてリードフレームを用いており、リードフレームのアイランドに半導体チップをダイボンディングし、半導体チップのボンディングパッドとリードをワイヤでワイヤボンディングし、所望の外形状を具備する金型内にリードフレームをセットし、金型内にエポキシ樹脂を注入、これを硬化させることにより製造される。

【0003】 一方、各種電子機器に対する小型、軽量化の波はとどまるところを知らず、これらに組み込まれる半導体装置にも、一層の大容量、高機能、高集積化が望まれることになる。そこで、以前から発想としては存在

していた（例えば、特開昭55-1111517号）、1つのパッケージ内に複数の半導体チップを封止する技術が注目され、実現化する動きが出てきた。つまり図6（A）に示すように、アイランド3上に第1の半導体チップ1aを固着し、第1の半導体チップ1aの上に第2の半導体チップ1bを固着し、対応するボンディングパッドとリード4とをボンディングワイヤ5a、5bで接続し、樹脂2で封止したものである。

【0004】 また、図6（B）に示すように、アイランド3の表面側に第1の半導体チップ1aを、アイランドの裏面側に第2の半導体チップ1bを固着し、全体を封止するような考え方もあった。

【0005】

【発明が解決しようとする課題】 しかしながら、図6

（A）の様にチップを積層する場合、ダイボンディング時の不具合により、図7（A）に示すように第2の半導体チップ1bが傾斜して固着されるような場合がある。このように傾斜すると、接着剤6が無くなって図面符号7の箇所第2の半導体チップ1bの基板下部と第1の半導体チップ1aの表面とが接触し、第2の半導体チップ1bの基板に印加した電位と第1の半導体チップ1a表面に形成した回路素子、電極配線等とが短絡する危険がある欠点があった。

【0006】 また、図6（B）の様にチップを表裏面に接着する場合、第1と第2の半導体チップ1a、1bとして同種のチップ（例えばDRAMとDRAM等の組み合わせ）を用いた場合は基板電位も同じになるのでアイランド3を介して両者の基板を電気的に短絡しても良いが、異種のチップ、たとえば一方がP型基板を使用し他方がN型基板を用いたチップを組み合わせる場合は、基板電位が異なるので、どちらか一方のチップを絶縁性の接着剤6で固着しなければならない。ところが上述したようにダイボンディング時の不具合によりチップが図7（B）のように傾斜すると、図示符号8の箇所第2の半導体チップ1aの基板電位とアイランド3の電位とが短絡する危険があった。これらの短絡は、即組み立て歩留まりの悪化につながる。

【0007】

【課題を解決するための手段】 本発明は上述した従来の課題に鑑み成されたもので、第1の半導体チップと第2の半導体チップとを、粒径が10～50μmのフィラーを混入せしめた絶縁性の接着剤によって固着し、両者の間隔を前記フィラーによって一定厚み以下には減少しないようにしたことを特徴とする。

【0008】 また、チップを表裏面に固着する形態では、どちらか一方の半導体チップを同じく粒径が10～50μmのフィラーを混入せしめた絶縁性の接着剤によって固着し、電気的な絶縁を保つべきアイランドとの間隔を前記フィラーによって一定厚み以下には減少しないようにしたことを特徴とする。

【0009】

【発明の実施の形態】以下に本発明の一実施の形態を図面を参照しながら詳細に説明する。先ず、図2(A)

(B)は本発明の半導体装置の第1の実施の形態を示す断面図、図3は本発明の半導体装置の第1の実施の形態を示す平面図である。尚、図2(A)は図3のAA線断面図、同じく図2(B)は図3のBB線断面図である。

【0010】図中、10、11は各々第1と第2の半導体チップを示している。第1と第2の半導体チップ10、11のシリコン表面には、前工程において各種の能動、受動回路素子が形成されている。第1と第2の半導体チップ10、11のチップの周辺部分には各々外部接続用のボンディングパッド12が形成されている。半導体チップ10、11の表面にはシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などのパッシベーション皮膜が形成され、ボンディングパッド12の上部を電気接続のために開口している。

【0011】第1の半導体チップ10はリードフレームのアイランド13上にAgペーストなどのエポキシ系導電接着剤14によりダイボンドされ、更に第2の半導体チップ11は第1の半導体チップ10の前記パッシベーション皮膜上に絶縁性のエポキシ系接着剤15により固着されている。各ボンディングパッド12と外部導出用のリード端子17の先端部17aとはボンディングワイヤ16によりワイヤボンドされ、両者が電氣的に接続されている。

【0012】第1と第2の半導体チップ10、11、リード端子の先端部17a、およびボンディングワイヤ16を含む主要部は、周囲をエポキシ系の熱硬化樹脂18でモールドされ、パッケージ化される。リード端子17はパッケージ側壁の、樹脂18の厚みの約半分の位置から外部に導出される。そして、樹脂18の外部に導出されたリード端子17は一端下方に曲げられ、再度曲げられてZ字型にフォーミングされている。このフォーミング形状は、リード端子17の裏面側固着部分17bをプリント基板に形成した導電パターンに対向接着する、表面実装用途の為の形状である。

【0013】アイランド13、リード端子17等の各パーツは、板厚が150～200 μ の銅系または鉄系の板状素材をエッチング加工又はパンチング加工することにより形成したリードフレームの形態で提供され、モールド工程後に切断されるまでは各パーツはリードフレームの枠体に保持されている。保持された状態でリード端子の先端部17aと前記枠体とは高さが一致しており、アイランド13だけが段付け加工されて高さが異なる。その為完成後の装置ではアイランド13を保持するタイプ19は樹脂18内部で上方に折り曲げられ、リード14の高さと一致する位置で再びほぼ水平に延在し、そして樹脂18表面に切断面が露出して終端する。

【0014】各半導体チップ10、11は、組立工程直

前にバックグラインド工程により裏面を研磨して250～300 μ の厚みにしている。アイランド13とリード端子17の板厚(図2(A)の図示13)は約130 μ であり、この値は各パーツの機械的強度を保つほぼ限界の値である。アイランド13は、第1の半導体チップ10よりは小さいサイズで形成されると共に、その高さを限界まで下げ、アイランド13の裏面13aを樹脂18の表面に露出させるようにモールドする。全体の厚みが1mm程度しかないパッケージでもアイランド13の位置を下げることで、アイランド13の板厚と、第1と第2の半導体チップ10、11の厚み、および接着剤14、15の厚み(各々30～40 μ は必要である)を差し引いて、なお第2の半導体チップ11の上方に240～300 μ の樹脂18の厚みを残すことが可能になった。

【0015】図1(A)を参照して、第1の半導体チップ10は、先ずアイランド13の表面に絶縁性あるいは導電性のペースト状の第1の接着剤14を適宜量供給し、続いて真空コレットに吸着された第1の半導体チップ10をアイランド13上に移動して位置決めをし、第1の接着剤14が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第1の接着剤14を硬化させることにより固定する。同様に第2の半導体チップ11は、先ず第1の半導体チップ10のパッシベーション皮膜上に、絶縁性のペースト状の第2の接着剤15を適宜量供給し、続いて真空コレットに吸着された第2の半導体チップ11を第1の半導体チップ10上に移動して位置決めをし、第2の接着剤15が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第2の接着剤15を硬化させることにより固定する。

【0016】第2の半導体チップ11を固定する際、第2の接着剤15に粒径が20～40 μ の球状のシリコン粒(フィラー)を混入しておく。フィラーとしては絶縁性の素材で且つ前記吸着コレットが押す圧力に耐え得る硬度を持つ物であればよく、他にはアルミナ粒、SiN粒等があげられる。かかる構成であれば、たとえばコレットに吸着された第2の半導体チップ11が斜めになっていたとしても、第2の接着剤15の膜圧はフィラーの粒径よりは小さくなることはない。よって第2の半導体チップ11の基板下部が第1の第1の半導体チップ10の表面に接触する事故を完全に防止することができる。

【0017】以下に本発明の第2の実施の形態を説明する。先ず、図4(A)(B)は本発明の半導体装置の第2の実施の形態を示す断面図、図5は本発明の半導体装置の第2の実施の形態を示す平面図である。尚、図4(A)は図5のAA線断面図、同じく図4(B)は図5のBB線断面図である。図中、先の実施の形態と同じ箇所には同じ符号を伏してある。

【0018】第1と第2の半導体チップ10、11のシ

リオン表面には、回路素子と外部接続用のボンディングパッド12が形成されている。半導体チップ10、11の表面にはシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などのハッシェンション皮膜が形成され、ボンディングパッド12の上部を電気接続のために開口している。

【0019】アイランド13の第1主面21つまり裏面側には、第1の半導体チップ10がAgペーストなどのエポキシ系導電接着剤14によりダイボンドされ、アイランド13の第2主面22つまり表面側には、第2の半導体チップ10が絶縁性のエポキシ系接着剤15により固着されている。第1の半導体チップ10のボンディングパッド12と外部導出用のリード端子の先端部17aの裏面側とがボンディングワイヤ16によりワイヤボンドされ、同じく第2の半導体チップ11のボンディングパッド12とリード端子の先端部17aの表面側とがボンディングワイヤによりワイヤボンドされている。第1と第2の半導体チップ10、11、リード端子の先端部17a、およびボンディングワイヤ16を含む主要部は、周囲をエポキシ系の熱硬化樹脂18でモールドされ、パッケージ化される。リード端子17はパッケージ側壁の、樹脂18の厚みの約半分の位置から外部に導出され、表面実装用にリードフォーミングされている。アイランド13はリード端子の先端部17aに対して段付けがされておらず、両者は水平面を構成している。

【0020】図1(B)を参照して、第1の半導体チップ10としてN型の半導体基板を利用したチップが用いられ、基板電位としてVDD電位が印加されている。第2の半導体チップとしてはP型の半導体基板を利用したチップが用いられ、基板電位としてVSS電位が印加されている。第1の半導体チップ10は、先ずアイランド13の第1主面21の表面に絶縁性あるいは導電性のペースト状の第1の接着剤14を適宜量供給し、続いて真空コンタクトに吸着された第1の半導体チップ10をアイランド13上に移動して位置決めをし、第1の接着剤14が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第1の接着剤14を硬化させることにより固定する。同様に第2の半導体チップ11は、先ずアイランド13を反転して第2主面22を上に向け、その表面に絶縁性のペースト状の第2の接着剤15を適宜量供給し、続いて真空コンタクトに吸着された第2の半導体チップ11をアイランド13上に移動して位置決めをし、第2の接着剤15が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第2の接着剤15を硬化させることにより固定する。

【0021】第2の半導体チップ11を固定する際、第2の接着剤15に粒径が20~40μmの球状のシリコン粒(フィラー)20を混入しておく。かかる構成であれば、たとえばコンタクトに吸着された第2の半導体チップ11が斜めになっていたとしても、第2の接着剤15の(膜厚)はフィラー20の粒径よりは小さくなることがない。よって第2の半導体チップ11の基板下部がアイランド13の表面に接触する事故を完全に防止できる。このことは、第2の半導体チップ11の基板電位とアイランド13の電位とを完全に分離できることを意味し、第1の半導体チップ10の基板電位とを同電位にするような構成であっても、基板電位VSSと基板電位VDDとの短絡事故を防止できるものである。尚、第1と第2の接着剤14、15のどちらか一方を絶縁性とするれば基板電位の相互分離が可能であり、絶縁性の接着剤側にフィラー20を混入すればよい。

【0022】

【発明の効果】以上に説明した通り、本発明によれば、絶縁性の接着剤にフィラー20を混入することによって第1と第2の半導体チップ10、11の接触事故を防止できるので、1つのパッケージ内に複数の半導体チップ10、11を積層した半導体装置を歩留まり良く製造することができる利点を有する。

【0023】また、基板電位の異なるチップの組み合わせが可能となるので、製品展開が容易である利点を有する。さらに、フィラー20によって基板電位の短絡を意識せずに接着剤14、15の膜厚を限界まで薄くできるので、パッケージの薄型化に寄与できる利点をも有する。薄型化により樹脂18の外形寸法を従来のチップ1ヶを収納した製品群と同一寸法にすることができる。これにより、モールド金型や試験測定装置などの製造装置を共用化することができ、製品のコストダウンが可能である利点を有する。

【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

【図2】本発明の第1の実施の形態を説明するための断面図である。

【図3】本発明の第1の実施の形態を説明するための平面図である。

【図4】本発明の第2の実施の形態を説明するための断面図である。

【図5】本発明の第2の実施の形態を説明するための平面図である。

【図6】従来例を説明するための断面図である。

【図7】従来例を説明するための断面図である。